

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-112810

(43)Date of publication of application : 22.04.1994

(51)Int.Cl.

H03K 19/173

H01L 27/04

H03K 19/096

(21)Application number : 04-285249

(71)Applicant : SONY CORP

(22)Date of filing : 30.09.1992

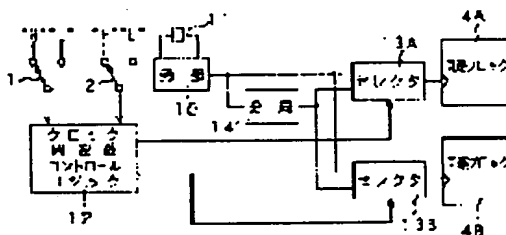
(72)Inventor : FUKUDA SHINICHI
FUKAMI TADASHI
MOROHOSHI ARIHIRO

(54) DIGITAL IC DEVICE

(57)Abstract:

PURPOSE: To minimize the power consumption required for each mode by reducing the power consumption of a circuit block not in use.

CONSTITUTION: A clock signal with a usual frequency from an oscillating circuit 10 or a clock signal with a frequency lower than the usual frequency resulting from frequency-dividing the signal from the circuit 10 at a frequency divider circuit 14 is selected by selectors 13A, 13B and fed to clock input terminals of circuit blocks 4A, 4B being different function blocks in a digital IC. The selectors 13A, 13B are selectively controlled with a signal from a clock frequency control logic circuit 12 receiving the signal from mode changeover switches 1, 2, and the clock signal with a lower frequency than the usual frequency is sent to the circuit block not in use depending on the mode.



(19)日本国特許庁 (J P)

(11)特許出願公開番号

特開平6-112810

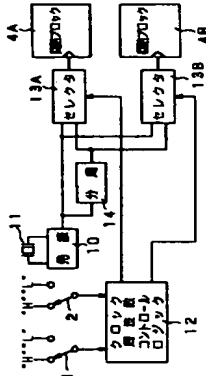
(43)公開日 平成6年(1994)4月22日

(51)Int.Cl. H 03 K 19/173 H 01 L 27/04 H 03 K 19/098	機頭配号 1 0 1 M 8427-4M Z 8321-5 J	片内配理番号 8383-5 J	F I	技術表示箇所
(21)出願 号 特願平4-285249	(22)出願日 平成4年(1992)9月30日	(71)出願人 ソニー株式会社 東京都品川区北品川16丁目7番35号 福田 伸一 東京都品川区北品川16丁目7番35号 ソニー株式会社内 岡正 東京都品川区北品川16丁目7番35号 ソニー株式会社内 嶋島 有祐 (72)発明者 東京都品川区北品川16丁目7番35号 ソニー株式会社内 井理士 小池 晃 (外2名)	審査請求 未請求 請求項の数5(全7頁)	

(54)【発明の名称】 デジタルＩＣ装置

(57) 【要約】 デジタルIC内の具なる機能ブロックである回路ブロック4、4Bへのクロック入力端子に、第1周波数回路10から通常の周波数のクロックと、分周回路14で分周した通常より低い周波数のクロックとを、セレクト入力13A、13Bでそれぞれ選択して供給する。セレクト入力13A、13Bは、モード切換スイッチ1、2からの信号が入力されるクロック周波数コントロール回路12から出力される信号により選択制御され、モードによって使用される回路ブロック側には上記通常よりも低い周波数のクロックを送るようになる。

【効果】 使用しない回路ブロックの消費電力を少なくし、モードによって必要最小限の消費電力で済むようにする。



【特許請求の範囲】

【請求項1】 内部が複数の機能ブロックに分かれて構成され、所定の動作モード時に使用される第1のブロックと使用されない第2のブロックとを有するディジタルIC装置において、

上記所定の動作モード時に上記2のブロックのフリックアップロップのクリア端子にクリア信号を供給することを特徴とするディジタルIC装置。

【請求項2】 内部が複数の機能ブロックに分かれて構成され、所定の動作モード時に使用される第1のブロックと使用されない第2のブロックとを有するディジタルIC装置において、

上記所定の動作モード時に上記第2のブロックへの入力信号を全て固定することを特徴とするデジタルIC装置。

【請求項3】 内部が複数の機能ブロックに分かれて構成され、所定の動作モード時に使用される第1のブロックと使用されない第2のブロックとを有するディジタルIC装置において

上記所定の動作モード時に上記第2のブロックのフリックアップロップへのクロックを停止することを特徴とするデジタルIC装置。

【請求項4】 内部が複数の機能ブロックに分かれて構成され、所定の動作モード時に使用される第1のブロックと使用されない第2のブロックとを有するデジタルC装置において、

上記所定の動作モード時に上記第2のブロックのダイナミックフリップアップへのクロックを、通常より低い周波数のクロックに変えて供給することを特徴とするデジタルIC装置。

【請求項5】 内部が複数の機能ブロックに分かれて構成され、所定の動作モード時に使用される第1のブロックと使用されない第2のブロックとを有するデジタルIC装置において、

上記所定の動作モード時に上記第2のブロックのフリックアップのブロックにクリア信号を供給すると共に、このブロック入力端子に通常より低い周波数のクロックを供給することを特徴とするデジタルIC装置。

【発明の詳細な説明】

【1000】

【産業上の利用分野】本発明は、内部がいくつかの機能ブロックに分かれているデジタルIC装置に関する。

[0002]

【従来の技術】近年において、オーディオ信号やビデオ信号等をデジタル化したデジタル信号等を記録・再生するための送信・受信したりするためのデジタル機器が各々開発され、市場に提供されており、このようなデジタル機器を用いられるデジタル信号処理用のIC（集積回路）も多くの種類のものが知られている。

【0003】このようなデジタルICの中で、複数の

環境や動作モードを持つものも多数存在している。例えば、デジタルオーディオプレーレコーダ（DAT）のモードと再生モードとを持っている。この多機能タイプのICは、一般に内部が複数の機能ブロックに分かれていることが多く、これらの複数の機能ブロックの中で、上記動作モードによって使えないブロックが生じる場合がある。例えば、上記配器・再生信号処理用ICの場合に、配器モードでは、再生にしか使用されないパイプラインが不必要であり、実質的に有効な動作をしていない。

[0004]

【説明が明快しようとする課題】ところで、上述したようにある固定のモード（例えば上記駆動モード）時に、電流が消費されないブロック（例えば上記再生時専用のブロック）にデータが入力されているたり、クロックが入力されているに、そのブロックの出力を何ら使わないことによる。いわゆるCMO（コンダクタモード）によるデジタルICでは、内部の1/0の状態が変化するときには電流が流れるから、使用されていないブロックでもデータ入力やクロック入力等によって電流が消費されることとなる。

【0005】本発明は、このような実情に鑑みてなされたものであり、動作モードによって使用されない領域プロックについては、その動作モード中における情報電流を必要最小限に抑え、ICの電力消費量を軽減し得るようなデジタルIC装置の提供を目的とするものである。

[000]

【問題】を解決するための手段】本発明に係るディジタル
IC装置によれば、内部が複数の機能ブロックに分れ
て構成され、所定の動作モード時に使用される第1のプ
ロセッサと使用されない第2のブロックとを有するディジ
タルシステム1に適用において、上記所定の動作モード時に、上
記第2のブロックのフリップフロップのクリア端子にク
リア信号を供給することにより、又は、上記第2のプ
ロセッサのレジスタ番号を全て固定することにより、又は、上
記第2のブロックのフリップフロップのクロック信号を停
止することにより、上記第2のブロックの動作を停止する。

止することにより、又は、上記第2のブロックのダイナミックフリックアップブロックへのクロックを通常より低い周波数のクロックに置き換えて供給することにより、又は、上記第2のブロックのフリックアップブロックのクリア端子にクリア信号を供給すること共にクロック入力端子に通常より低い周波数のクロックを供給することにより、上述の課題を解決する。

[0007]

【作用】所定の動作モード時には使用されない第2のブロックについて、フリップフロップをクリア状態としたら、入力信号を固定したり、クロックを停止又は低い周

(3)

波数に切り換えたことにより、図第2ブロックを流れる電流量が減少し、電力消費量を抑えることができる。

【0008】 以下、本発明に係るディジタルIC装置のい
【実施例】 以下、本発明に係るディジタルIC装置のい
図面を参照しながら説明する。図4は、本発明に係るディジタルIC装置の第1〜第4の実施例の概略構成をそれぞれ示すブ
ロック図であり、いずれの実施例においても、切換スイ
ッチ1、2、及び回路ブロック4A、4Bが用いられて

【0009】これらの図1～図4において、ディジタルIC装置の内部の機能ブロックとして、少なくとも第1の回路ブロック4Aと、第2の回路ブロック4Bとが設けられている。これらの回路ブロック4A及び4Bは、例えば、DAT（ディジタルオーディオプレーニング）用の記録、再生用の信号処理ICにおける記録時専用回路部及び再生時専用回路部のように、動作モードに応じて使用される、合と使用されない場合が生ずる回路ブロックに相当するものである。この場合の動作モードとしては、第1の回路ブロック4Aのみが使用される第2の回路ブロック4Bは使用されない第1の回路ブロック4Aは使用されない第2の回路ブロック4Bのみが使用される第1の回路ブロック4Aは使用されない第2の動作モードとが先ず考えられるが、これ以外にも、第1の回路ブロック4Aも第2の回路ブロック4Bもいずれも使用されない第0の動作モードと、第1の回路ブロック4A及び第2の回路ブロック4Bの両方が共に使用される第3の動作モードとが考えられる。

【0010】ここで、上述したDATの記録・再生用信号処理ICにおける動作時間等が回路ブロック4Aであり、再生時間等が回路ブロック4Bであり、動作時間等が回路ブロック4Cであり、再生時間等が回路ブロック4Dであるときの、上記1の動作モードは具体的に説明するとき、上記1の動作モードは記録(録音)モード、上記2の動作モードは再生モードにそれぞれ相当することは明かであるが、さらに、上記0の動作モードは、テープの早送りや、戻しのように記録や再生のための信号処理を行わなければならないときであり、記録や再生の回復にわたってのスタンバイモードともいえる。また、上記第3の動作モードは、記録(録音)同時セリタモードの両方に、記録用信号処理と再生用信号処理の両方が同時に必要となるモードである。

【0011】切換スイッチ1、2は、上述したような動作モードに応じて切替状態が変化するものであり、2つの切換スイッチ1、2の切換状態に応じた上配4つの動作モードを致すことが可能である。例えば、切換スイッチ1が“L”（ローレベル）を選択しかつ切換スイッチ2が“H”（ハイレベル）を選択した状態“LH”を“01”と表して、上記第1の動作モードに対応させる場合にも、切換スイッチ1、2の状態“00”を上記第1の場合に、切換スイッチ1、2の状態“00”を上記第2の場合に、切換スイッチ1、2の状態“01”を上記第3の場合に、切換スイッチ1、2の状態“10”を上記第4の場合に、それぞれ対応させるように構成される。

0の動作モードに、状態“10”を上記第2の動作モードに、また状態“11”を上記第3の動作モードに、それぞれ対応させることができる。この切替スイッチ1、2の状態と上記4つの動作モードとの対応関係等については、上記具体例に限定されず、任意に設定すればよい。

【0012】先ず図1は、本発明に係るディジタルIC装置の第1の実例の概略構成を示すブロック図に示されている。この図においては、切換スイッチ1、2からの出力信号は、現在選択された動作モードを指示する信号として、クリパントロールロジック回路3に送られている。このクリパントロールロジック回路3は、現在、動作モードに応じて、IC内の各回路ブロック4A、4Bの例えばフリップフロップの各クリパ端子にクリパ信号を送るものである。

【0013】このリアコンントロロジック回路3の具体的な構成としては、切換スイッチ1からの出力信号を反転して回路ブロック4Bのクリア端子に、切換スイッチ2からの出力信号を反転して回路ブロック4Aのクリア端子に送るよう構成とすればよい。この場合、上記第0の動作モード時には、上記状態“0”より、切換スイッチ1、2いずれも“L”が選択され、これらがクリアコンントロロジック回路3内でそれぞれ反転されることで“H”のクリア信号となり、これらによって各回路ブロック4A、4Bの各フリップフロップがいずれもクリア状態とされる。上記第1の動作モード時には、上記状態“0”より、切換スイッチ1が“L”を、切換スイッチ2が“H”をそれぞれ選択し、クリアコンントロロジック回路3は、切換スイッチ1からの

“L”を反転して“H”のクリア信号を回路ブロック4 Bのクリア端子に、切替スイッチ2 4からの“H”を反転して“L”の信号（クリアしない信号）を回路ブロック4 Aのクリア端子にそれぞれ送る。使って、回路ブロック4 Aは通常の動作状態で回路ブロック4 Bがクリア状態となる。以下同様、上記第2の動作モード（状態“1 0”）時には、回路ブロック4 Aがクリア状態で回路ブロック4 Bは通常の動作状態となり、また、上記第3の動作モード（状態“1 1”）時には、回路ブロック4 A、4 B共に通常の動作状態となる。

【0 0 1 4】これらの回路ブロック4 A、4 Bにおいて、上述したような動作モードによっては使用されないクリア状態とされたブロックは、1/0の状態の変化がなくなると、流れ電流の量が低減され、1 C回路全体での電力消費量を抑えることができる。これは、特にいわゆるCMOSプロセスで作られた1 Cの場合に顕著に現れる効果である。

【0015】次に、図2は、本発明に係る第2の実施例として、各回路ブロック4A、4Bへの入力を固定する例を示している。すなわち、切替スイッチ1、2からの

信号を入力カインペルコンローラジック回路5に送
 っており、このカインペルコンローラジック回
 路5からの一の出力信号を、回路ブロック4Aへの入
 入力を制御するためのn個のアドレスポート6A₁、6
 A₂、…、6A_nに送り、カインペルコン
 ローラジック回路5からの他の出力信号を、回路ブロッ
 ク4Bへのm個の入力を制御するためのm個のアドレス
 ポート6B₁、6B₂、…、6B_mに送っている。n
 個のアドレスポート6A₁、6A₂、…、6A_nに
 は、他の回路部やIC外部等から回路ブロック4Aに送
 られるn個の入力信号が各入力端子7A₁、7A₂、
 …、7A_nより供給され、m個のアドレスポート6
 B₁、6B₂、…、6B_mには、他の回路部やIC
 外部等から回路ブロック4Bに送られるm個の入力信号
 が各入力端子7B₁、7B₂、…、7B_mより供給
 されている。n個のアドレスポート6A₁、6A₂、
 …、6A_nからの出力信号は、回路ブロック4Aのn個
 の入力端子1A₁、1A₂、…、1A_nに送られ、
 m個のアドレスポート6B₁、6B₂、…、6B_mか
 らの出力信号は、回路ブロック4Bのm個の入力端子1
 B₁、1B₂、…、1B_mに送られる。

【0016】この場合、入力ネーブルコントロールロジック回路5から“H”信号が送られるアンドゲートが導通（オン）状態になって各入力信号が回路ブロックに供給され、“L”信号が送られるアンドゲートが遮断（オフ）状態となって回路ブロックへの各入力信号は例えは“L”に固定される。例えば、入力ネーブルコントロールロジック回路5から n 個のアンドゲート6A₁～6A_nに“H”信号が送られるとき、これらのアンドゲート6A₁～6A_nが全て導通（オン）状態となって、各入力端子7A₁～7A_nから7A_nへの各入力信号が回路ブロック4Aの n 個の入力端子1A₁～1A_nにそれぞれ供給され、また例えば、入力ネーブルコントロールロジック回路5から m 個のアンドゲート6B₁～6B_mに“L”信号が送られるとき、これらのアンドゲート6B₁～6B_mが全て遮断（オフ）状態となって、回路ブロック6Aの m 個の入力端子1B₁～1B_mへの各入力信号は全て“L”（あるいは“0”）に固定される。

【0017】入力ネーブルコントロールブロック回路5の具体例としては、切換スイッチ1からの出力信号をそのままm個のアンドゲート6Bへ(6B_m)に送り、切換スイッチ2から出力信号をそのままn個のアンドゲート6Aへ(6A_n)に送るような構成とすればよい。この場合、例えば上述第“0”の第1の動作モード時には、切換スイッチ1の出力が“L”で、切換スイッチ2の出力が“H”であるから、入力ネーブルコントロールブロック回路5からアンドゲート6Bへは“B_m”の信号が“L”で、アンドゲート6Aへは“A_n”(“0”)に固定され、アンドゲート6Aへは6A_nへの信号が“H”で、第2ブロック4には各入力端子7A

1 ~ 7 A₀ からの各入力信号が供給されることになる。他のモードも同様の動作である第2の実施例に、説明を省略せよ。【0018】このように第2の実施例では、動作モードに応じて、1ノブの状態の変化がなくなり、流れ固定されるため、1ノブの状態の変化がなくなり、流れの電流の量が取って1C回路全体での電力消費量を抑えることができる。

【0019】次に、図3は、本発明に係る第3の実施例を示し、使用しない回路ブロックのフリップフロップ等へのクロックを停止あるいは遮断する例を示している。この図3において、切替スイッチ1、2からの信号をクロック入力ネーブルコントロールロジック回路8に送っており、このクロック入力ネーブルコントロールロジック回路8からの一の出力信号を回路ブロック4Aへのクロックの供給を制御するためのアンドゲート9Aに送り、ロジック回路8からの他の出力信号を回路ブロック4Bへのクロックの供給を制御するためのアンドゲート9Bに送っている。これらのアンドゲート9A、9Bには、水送っている。これらアンドゲート9A、9Bからは、水のクロックの供給がなされ、それによって、アンドゲート9Aからのクロック信号が供給されている。アンドゲート9Aからの出力信号は回路ブロック4Aのクロック入力端子に送られ、アンドゲート9Bからの出力信号は回路ブロック4Bのクロック入力端子に送られている。

【0020】この場合のクロックタイネーブルコントロールロジック回路8の具体例は、切戻スイッチ1からの出力番号をそのままアンドゲート9Bに送り、切戻スイッチ2からの出力番号をアンドゲート9Aに送るような構成とすればよい。ここで例えば上記状態“01”の第1の動作モード時には、切戻スイッチ1の出力が“1”で、切戻スイッチ2の出力が“1”であるから、クロックタイネーブルコントロールロジック回路8からアンドゲート9Bへの信号が“1”で、回路ブロック4Bへのクロックが遮断（供給停止）され、アンドゲート9Aへの信号が“1”で導通状態となり、回路ブロック4Aには免返回路10からのクロックが供給されることになる。他【0021】これは、1C内部のフリップフロップがいわゆるスタティックタイプのものであると有用である。動作モードに応じて使用されない回路ブロックへのクロック供給が遮断されるため、動作が停止され、電流量が減って、消費電力が抑えられる。

【0022】ところで、IC内部にいわゆるダイナミックタイピングのプリプログラムが用いられている場合には、上記第3の実施例の構成を使うことができます。次の図4に示すような第4の実施例の構成を用いることが好ましい。すなわち、図4に示す第4の実施例において、切換スイッチ1、2からの信号をクロック周波数コントロールクロック回路12に送っており、このクロック周波数コントロールクロック回路12からの出力信号を回路ブロック4Aに供給するクロックを選択するため

(5)

のセレクト13Aに送り、ロジック回路12からの他の出力信号を回路ブロック4Bへのクロックの選択するためのセレクト13Bに送っている。これらのセレクト13A、13Bには、水晶振動子11を用いたクロック発生用の発振回路10からの第1の周波数のクロック信号と、このクロック信号を分周回路14で分周した第2の周波数のクロック信号との両方がそれぞれ供給されている。セレクト13Aからの出力信号は回路ブロック4Aのクロック入力端子に送られ、セレクト13Bからの出力信号は回路ブロック4Bのクロック入力端子に送られている。ここで、発振回路10からの第1の周波数のクロック信号は正常動作を行わせるための信号であるのに対し、分周回路14で分周された第2の周波数のクロック信号は通常よりも低い周波数で、後述するようにダイナミックフリックアップフロップに大きな電流を流さないようにする低電圧の周波数の信号である。

【0023】この場合のクロック周波数コントロールロジック回路12の具体例としては、切換スイッチ1からの出力信号をそのままセレクト13Bに送り、切換スイッチ2からの出力信号をセレクト13Aに送るような構成とすればよく、これに對するセレクト13A、13Bとしては、いずれも、選択制御信号が“H”のときに発振回路10からの第1の周波数のクロック信号を選択し、制御信号が“L”のときに分周回路14からの第2の周波数のクロック信号を選択するものを用いればよい。ここで例えば上記状態“01”の第1の動作モード時には、切換スイッチ1の出力が“L”で、切換スイッチ2の出力が“H”であるから、クロック周波数コントロールロジック回路12からセレクト13Bへの制御信号が“L”となり、分周回路14からの上記第2の周波数のクロック信号が選択されて回路ブロック4Bに供給されるのに対し、セレクト13Aへの制御信号が“H”で、回路ブロック4Aには発振回路10からのクロックが供給されることになる。他のモードも同様な動作であるため、説明を省略する。

【0024】ここで、いわゆるCMOS ICを用いる場合の動作原理について、及び上記ダイナミックフリックアップフロップの動作原理について、図5～図7を参照しながら説明する。先ず図5は、いわゆるCMOSインバータの内部構成を示し、入力端子21がPチャネルMOSトランジスタ22のゲート及びNチャネルMOSトランジスタ23のゲートに接続されている。PチャネルMOSトランジスタ22のソースはVdd電源端子に接続され、ドレインはNチャネルMOSトランジスタ23のドレインに接続されて出力端子24に接続される。NチャネルMOSトランジスタ23のソースはGnd(接地)端子に接続されている。PチャネルMOSトランジスタ22はゲートが“L”になるとオン(ドレインソース間がローインピーダンス)となり、NチャネルMOSトランジスタ23はゲートが“H”になると、Nチャ

ネルMOSトランジスタ21の入力が“H”のとき、NチャネルMOSトランジスタ23がオンし、上記Gnd(接地)レベルの信号“L”が出力端子24から取り出されるのに対し、入力が“L”のときにはPチャネルMOSトランジスタ22がオンし、上記Vdd電源レベルの信号“H”が出力される。入力が“H”から“L”に、あるいは“L”から“H”に変化すると、変化の途中でPチャネルMOSトランジスタ22、NチャネルMOSトランジスタ23の両方ともある程度オンになる瞬間があり、このときVdd電源端子からGnd(接地)端子に比較的大きな電流が流れる。これが、上述したIC内部の1/10の状態変化が少ないほど電流消費量が少なくなる理由である。

【0025】次に、ダイナミックフリックアップフロップの場合には、例えば図6に示すように、その内部のノードa合には、ソース・ドレイン間が互いに並列に接続されたPチャネルMOSトランジスタ34とNチャネルMOSトランジスタ35との一方の接続点に接続され、他方の接続点aは容量36に接続されている。PチャネルMOSトランジスタ34のゲートには端子32からの反転クロック信号CKが、また、NチャネルMOSトランジスタ35のゲートには端子33からのクロック信号CKがそれぞれ供給されている。上記接続点aは、PチャネルMOSトランジスタ38のゲート及びNチャネルMOSトランジスタ39のゲートに接続されている。PチャネルMOSトランジスタ38のソースはVdd電源端子に接続され、ドレインはNチャネルMOSトランジスタ39のドレインに接続されて出力端子37に接続される。NチャネルMOSトランジスタ39のソースはGnd(接地)端子に接続されている。

【0026】この図6の構成において、クロック信号CKが“H”(CKが“L”)のときには、PチャネルMOSトランジスタ34とNチャネルMOSトランジスタ35と共にオン状態となり、点aに入力端子31のレベルが現れ、その後クロック信号CKが“L”となると、入力端子31と点aとの間の接続が切れて、入力端子31の電圧が保持される。これは、点aが高インピーダンスになっている。点aに付いて見ても、容量36に電圧が保持されることで電圧が保たれるからである。しかし、高インピーダンスといっても、小さな容量36に蓄えられた電圧は間もなく放出され、点aは上記Vdd電源端子とGnd(接地)との中間電位に落ちることになる。このとき、上述した図5の発振と同様に、点aの出力側のインバータ(トランジスタ38、39)において、Vdd電源端子からGnd(接地)端子に比較的大きな電流が流れてしまう。これを防ぐために、このような状態になる前に再びクロックCKを

“H”にして、点aに入力レベルを与えてやる必要があるわけである。

【0028】図7の(A)～(D)は上述したような動作を説明するための波形図であり、(A)はクロック信号CKを、(B)は入力端子31の入力信号を、(C)は上記a点の電圧(レベル)を、また(D)は出力端子37の出力信号をそれぞれ示している。この図7において、時刻t₁ではクロック信号(A)が“H”であるから、入力(B)が“H”から“L”に変化すれば、上記a点の電圧(レベル)(C)も“H”から“L”に変化する。インバータ出力(D)は“L”から“H”に変化する。時刻t₂でクロック信号(A)が“L”となると、容量36に蓄えられた電圧が徐々に放電されて、a点の電圧(C)が上記Vdd電源端子とGnd(接地)との中間電位に近づいてゆく。例えば時刻t₃でこの中間電位と等しい電圧が流れることとなるため、時刻t₃よりも前時点で(A)のクロック信号CKを“H”とするような周波数の信号を上記分周回路14から得るようによればよい。

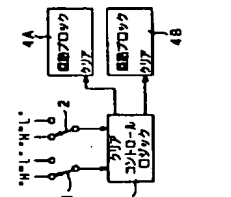
【0029】従って、図4に示した本発明の第4の実施例においては、通常動作時の本発明の周波数(上記第1の周波数)のクロック信号を、ダイナミックフリックアップフロップの内部ノード(a点)の電圧が上記中間電位にならない範囲でなるべく低い周波数(上記第2の周波数)に周し、動作モードによって使用しない回路ブロックにこの低い周波数のクロック信号を供給するようにすればよい。

【0030】なお、本発明は上記実施例のみに限定されるものでなく、例えば、上記第1の実施例から第4の実施例までの内の任意の2つ以上を組み合わせて使用するようにしてもよく、特に、上記第1の実施例と上記第4の実施例とを組み合わせて用いるのが好ましい。この他、3つ以上の回路ブロックが設けられたデジタルICに本発明を適用できることは勿論である。

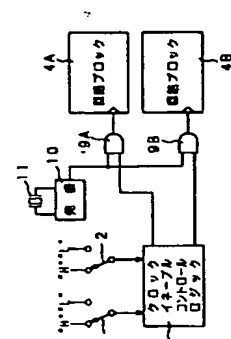
【0031】

【発明の効果】以上の説明からも明らかなように、本発明に係るデジタルIC装置によれば、内部が複数の機

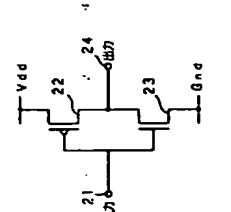
【図1】



【図3】



【図5】



(6)

個ブロックに分かれて構成され、所定の動作モード時に使用される第1のブロックと使用されない第2のブロックとを有するデジタルIC装置において、所定の動作モード時には使用されない第2のブロックについて、フリックアップフロップをクローズ状態とし、入力信号を固定したり、クロックを停止又は低い周波数に切り換えたりすることにより、第2のブロックを流れる電流量が減少し、電力消費を抑えることができる。

【図面の簡単な説明】

【図1】本発明に係るデジタルIC装置の第1の実施例の内部構成を示すブロック図である。
【図2】本発明に係るデジタルIC装置の第1の実施例の内部構成を示すブロック図である。
【図3】本発明に係るデジタルIC装置の第1の実施例の内部構成を示すブロック図である。
【図4】本発明に係るデジタルIC装置の第1の実施例の内部構成を示すブロック図である。
【図5】CMOSインバータの内部構成を示す回路図である。

【図6】ダイナミックフリックアップフロップの内部構成を示す回路図である。

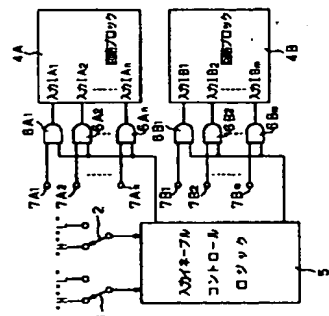
【図7】図6の動作を説明するための波形図である。

【符号の説明】

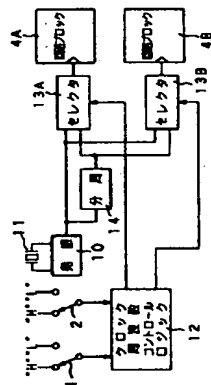
1、2………切換スイッチ
3………クリップコントロールロジック
4A、4B………回路ブロック
5………入力インバータコントロールロジック
6A₁～6A_n、6B₁～6B_n、9A、9B………アンドゲート
7A₁～7A_n、7B₁～7B_n………倍率入力端子
8………クロックインバータコントロールロジック
10………クロック発生回路
11………水晶振動子
12………クロック周波数コントロールロジック
13A、13B………セレクト
14………分周回路

(7)

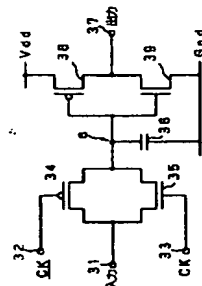
【図2】



【図4】



【図6】



【図7】

